

نام درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی و کد درس: سخت افزار - ۱۱۱۵۲۱۳

تعداد سؤالات: تستی: ۲۵ تشریحی: ۴

زمان آزمون: تستی: ۷۵ تشریحی: ۶۰ دقیقه

آزمون نمره منفی دارد ○ ندارد ⊗

کد سری سؤال: یک (۱)

استفاده از: —

مجاز است.

امام علی<sup>(ع)</sup>: برتری مردم به یکدیگر، به دانش‌ها و خردهاست؛ نه به ثروت‌ها و تبارها.

۱- کدام گزینه در مورد CPLD و FPGA صحیح می‌باشد؟

الف) CPLD ها عموماً مبتنی بر RAM برنامه‌ریزی می‌شوند.

ب) CPLD ها در حالت کلی تاخیر انتشار بیشتری نسبت به FPGA دارند.

ج) CPLD ها، بر خلاف FPGA ها، عموماً دارای منابع مخصوصی جهت طراحی شمارنده‌ها و توابع محاسباتی خاص می‌باشند.

د) CPLD ها بطور نسبی تعداد بلوک و گیت کمتری نسبت به FPGA دارند.

۲- کدام یک از قطعات زیر در کارخانه سازنده برنامه‌ریزی می‌شود؟

الف) FPGA      ب) CPLD      ج) EPLD      د) MPGA

۳- کدام بخش از یک برنامه VHDL لیست سیگنال‌های ورودی و خروجی سیستم تحت طراحی را مشخص می‌کند؟

الف) entity      ب) architecture      ج) process      د) procedure

۴- کدام گزینه در مورد زبان VHDL درست نمی‌باشد؟

الف) در VHDL امکان مدل کردن تاخیر دروازه‌های منطقی وجود دارد.

ب) VHDL زبانی حساس به نوع حروف (کوچک و بزرگ) است.

ج) VHDL به شدت به نوع داده‌ها حساس است.

د) در صورتی که در انتساب سیگنال تاخیر ذکر نشود شبیه ساز VHDL یک تاخیر دل‌خواه در نظر می‌گیرد.

۵- گذرگاه داده در یک ریزپردازنده برای ارسال و دریافت داده استفاده می‌شود. اگر بخواهیم یک ریزپردازنده را در VHDL

توصیف کنیم mode گذرگاه داده باید چگونه تعریف شود؟

الف) in      ب) out      ج) buffer      د) inout

نام درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی و کد درس: سخت افزار - ۱۱۱۵۲۱۳

تعداد سؤالات: تستی: ۲۵ تشریحی: ۴

زمان آزمون: تستی: ۷۵ تشریحی: ۶۰ دقیقه

آزمون نمره منفی دارد ○ ندارد ⊗

کد سری سؤال: یک (۱)

استفاده از: —

مجاز است.

۶- کدام گزینه در مورد سیگنال‌ها و متغیرها در VHDL صحیح نمی‌باشد؟

الف) انتساب به سیگنال‌ها دارای زمان‌بندی است ولی انتساب به متغیرها فوری صورت می‌پذیرد.

ب) انتساب به سیگنال با عملگر  $=$  و انتساب به متغیر با عملگر  $=$ : صورت می‌گیرد.

ج) متغیر را می‌توان در داخل یک پردازش (process) تعریف کرد ولی نه در قسمت اعلانی یک architecture

د) سیگنال را می‌توان در داخل یک پردازش (process) تعریف کرد ولی نه در قسمت اعلانی یک architecture

۷- کدام یک از نوع داده‌های زیر در بسته std\_logic\_1164 از کتابخانه ieee تعریف شده‌است؟

الف) std\_ulogic ب) bit\_vector ج) integer د) time

۸- کدام یک از نوع داده‌های زیر نوع داده‌ی فیزیکی (physical) می‌باشد؟

الف) time ب) integer ج) string د) bit

۹- نوع داده std\_ulogic در واقع یک نوع داده..... می‌باشد.

الف) ممیز شناور ب) شمارشی (enumerated)

ج) فیزیکی د) مرکب (composite)

۱۰- اگر داشته باشیم: type myarray is array(7 downto 0) of bit در این صورت myarray'ascending چه

برمی‌گرداند؟

الف) true ب) false ج) 7 د) 0

۱۱- توسط کدام عملگر می‌توان دو بردار را بهم چسباند؟

الف) &amp; ب) + ج) / د) \*\*

۱۲- کدام خصیصه (attribute) زمان سپری شده از آخرین رخداد را بر می‌گرداند؟

الف) 'event ب) 'active ج) 'last\_event د) 'last\_active

۱۳- 'stable چه چیز را برمی‌گرداند؟

الف) سیگنالی از نوع bit ب) مقداری از نوع boolean

ج) مقداری از نوع time د) سیگنالی از نوع سیگنال اولیه

نام درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی و کد درس: سخت افزار - ۱۱۱۵۲۱۳

تعداد سؤالات: تستی: ۲۵ تشریحی: ۴

زمان آزمون: تستی: ۷۵ تشریحی: ۶۰ دقیقه

آزمون نمره منفی دارد ○ ندارد ⊗

کد سری سؤال: یک (۱)

استفاده از: —

مجاز است.

۱۴- اگر نوع داده‌ی  $a$ ,  $boolean$  و  $x$  و  $y$  از نوع  $bit$  باشند که به صورت  $bit$  is ('0', '1') تعریف شده است، اگر $x='1'$  و  $y='0'$  باشد پس از اجرای عبارت زیر مقدار  $a$  چه خواهد بود؟  $a<=(x<=y)$ ;

الف) '0' (ب) '1' (ج) FALSE (د) TRUE

۱۵- برای آشکارسازی لبه‌ی بالا رونده بر روی یک سیگنال مثل  $clk$  از کدام یک از عبارات زیر می‌توان استفاده کرد؟الف)  $clk'event$  and  $clk='0'$  (ب)  $clk'event$  and  $clk='1'$ ج)  $clk'active$  and  $clk='0'$  (د)  $clk'active$  and  $clk='1'$ ۱۶- اگر داشته باشیم:  $variable A:bit\_vector := "100110"$  پس از اجرای دستور  $A srl 2$  مقدار داخل  $A$  برابر خواهد

بود با:

الف) 001001 (ب) 000110 (ج) 111001 (د) 110010

۱۷- توصیف رفتار یک سیستم با استفاده از دستورات همروند (concurrent) چه نامیده می‌شود؟

الف) توصیف الگوریتمی (ب) توصیف جریان داده

ج) توصیف ساختاری (د) توصیف رفتاری

۱۸- کدام یک از دستورات شرطی زیر، همروند (concurrent) است؟

الف) if-then-else (ب) دستور case

ج) دستور when-else (د) هر سه

۱۹- به ازای کدام دستور زیر تمام تغییرات سیگنال  $a$  بدون حذف هیچ پالسی و با تاخیر  $20ns$  حتماً به سیگنال  $b$  منتقل می‌شود؟الف)  $b<=a$  AFTER 20NS; (ب)  $b<=inertial$  AFTER 20NS;ج)  $b<=TRANSPORT$  a AFTER 20NS; (د) هر سه

تعداد سؤالات: تستی: ۲۵ تشریحی: ۴  
 زمان آزمون: تستی: ۷۵ تشریحی: ۶۰ دقیقه  
 آزمون نمره منفی دارد ○ ندارد ⊗

نام درس: طراحی خودکار مدارهای دیجیتال  
 رشته تحصیلی و کد درس: سخت افزار - ۱۱۱۵۲۱۳

مجاز است.

استفاده از: —

کد سری سؤال: یک (۱)

۲۰- کدام عبارت می‌تواند در قطعه کد زیر به جای نقطه چین قرار گیرد؟

entity example is

..... (delay:time:= 10 ns);

port (a,b: in Std\_logic ;

c: out Std\_logic);

end ;

architecture(ب)

generic(الف)

procedure(د)

process (ج)

۲۱- قطعه کد زیر در کدام ساختار VHDL می‌تواند استفاده شود؟

if a>b then

return a;

else

return b;

end if;

generic(ب)

process (الف)

procedure(د)

function (ج)

۲۲- کدام گزینه در مورد یک پردازش (process) صحیح می‌باشد؟

الف) عدم تغییر مقدار هریک از سیگنال‌های موجود در داخل پردازش موجب اجرای آن پردازش می‌شود.

ب) اگر پردازش دارای لیست حساسیت باشد نمی‌توان در آن از دستور wait استفاده کرد.

ج) اجرای دستورهای داخل یک پردازش، به صورت همزمان انجام می‌پذیرد.

د) در یک پردازش نمی‌توان به سیگنالها مقدار داد ولی می‌توان مقدار آنها را خواند

نام درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی و کد درس: سخت افزار - ۱۱۱۵۲۱۳

تعداد سؤالات: تستی: ۲۵ تشریحی: ۴

زمان آزمون: تستی: ۷۵ تشریحی: ۶۰ دقیقه

آزمون نمره منفی دارد ○ ندارد ⊗

مجاز است.

استفاده از: —

کد سری سؤال: یک (۱)

۲۳-قطعه کد زیر توصیف چه قطعه‌ی منطقی می‌تواند باشد؟

architecture dataflow of xmodule is

begin

f &lt;= w0 WHEN s="00" else

w1 WHEN s="01" else

w2 WHEN s="10" else

w3 WHEN s="11" else

"ZZ";

END dataflow ;

الف) مالتی پلکسر (ب) دیکدر (ج) انکدر (د) دی مالتی پلکسر

۲۴-قطعه کد زیر معرف چه قطعه سخت‌افزاری می‌تواند باشد (q خروجی مدار است)؟

architecture behavioral of xmodule is

signal qt :STD\_LOGIC\_VECTOR(7 downto 0);

begin

process(clk)

begin

if (clk='0'and clk'event) then

qt&lt;=qt(6 to 0)&amp;din;

end if;

end process;

q&lt;=qt;

end behavioral;

(ب) شمارنده پایین شمار

الف) شمارنده بالا شمار

(د) ثبات انتقالی با قابلیت انتقال به راست

(ج) ثبات انتقالی با قابلیت انتقال به چپ

نام درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی و کد درس: سخت افزار - ۱۱۱۵۲۱۳

تعداد سؤالات: تستی: ۲۵ تشریحی: ۴

زمان آزمون: تستی: ۷۵ تشریحی: ۶۰ دقیقه

آزمون نمره منفی دارد ○ ندارد ⊗

کد سری سؤال: یک (۱)

استفاده از: —

مجاز است.

۲۵- حاصل عبارت 4 rem (-11) در VHDL کدام است؟

الف) 2

ب) -2

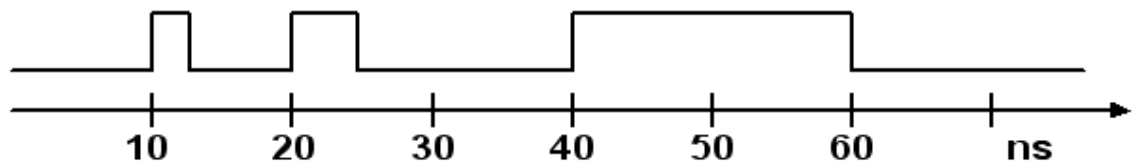
ج) 3

د) -3

## سؤالات تشریحی

(۱) چهار مورد از موارد کاربرد FPGA را بیان کنید. (۱ نمره)

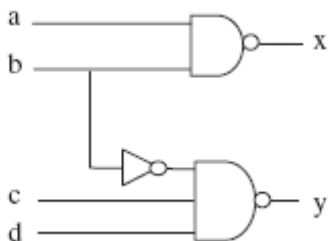
(۲) شکل موج سیگنال A در زیر داده شده است. شکل موجهای B1 و B2 را بر اساس تعریف زیرترسیم کنید. (۱/۵ نمره)



B1&lt;=A after 10ns;

B2&lt;= transport A after 10ns;

(۳) برنامه ای در VHDL بنویسید که یک مدل ساختاری (Structural) از مدار زیر را ارائه کند



فرض کنید شما از سه قطعه inverter, nand\_2, nand\_3 با اینترفیسهای زیر در کتابخانه work و با architecture به نام rtl می توانید استفاده کنید: (۲ نمره)

ENTITY inverter IS

PORT (a: IN STD\_LOGIC; b: OUT STD\_LOGIC);

END inverter;

ENTITY nand\_2 IS

PORT (a, b: IN STD\_LOGIC; c: OUT STD\_LOGIC);

END nand\_2;

ENTITY nand\_3 IS

PORT (a, b, c: IN STD\_LOGIC; d: OUT STD\_LOGIC);

END nand\_3;

(۴) با استفاده از VHDL رفتاری برنامه ای برای توصیف یک فلیپ فلاپ D حساس به لبه بالارونده بنویسید. از نوع داده std\_logic استفاده کنید. (۱/۵ نمره)